

dr hab. inż. Krzysztof Korcyl

Kraków, 21.08.2015

Instytut Fizyki Jądrowej PAN im. H. Niewodniczańskiego

Oddział Fizyki i Astrofizyki Cząstek

Zakład Eksperymentu ATLAS

Recenzja rozprawy doktorskiej dla Rady Wydziału Fizyki i Informatyki Stosowanej Akademii Górniczo-Hutniczej w Krakowie

Tytuł rozprawy: SALT readout ASIC for LHCb upgrade experiment – clock generation and data transmission

Autor rozprawy: mgr inż. Mirosław Firlej

Podstawą recenzji jest uchwała Rady Wydziału Fizyki i Informatyki Stosowanej oraz pismo dziekana w tej sprawie WFiIS-b.510-288/15

1. Jakie zagadnienie naukowe jest rozpatrzone w pracy (teza rozprawy) i czy zostało ono dostatecznie jasno sformułowane przez autora ? Jaki charakter ma rozprawa (teoretyczny, doświadczalny, inny) ?

Autor rozprawy współpracuje z międzynarodowymi zespołami badawczymi zajmującymi się budową, wdrażaniem i prowadzeniem eksperymentów w fizyce wysokich energii. Jednym z takich eksperymentów jest LHCb zlokalizowany w CERN i rejestrujący wyniki oddziaływań protonów rozpędzanych do 7 TeV w Wielkim Zderzaczu Hadronów LHC. Prace wykonywane przez Doktoranta dotyczą planowanej na lata 2018-2019 modernizacji eksperymentu i współdziałających systemów związanych z modernizacją LHC, a w szczególności w modernizacji systemu akwizycji danych detektora rozpoznawania śladów TT (ang. Trigger Tracker), który stanie się UT (ang. Upstream Tracker).

Modernizacja LHC, która pociąga konieczność modernizacji eksperymentu LHCb oraz innych eksperymentów przy LHC, ma na celu zwiększenie świetlności poprzez zwiększenie częstotliwości przenikań paczek protonów do 40 MHz oraz zwiększanie liczby indywidualnych interakcji w czasie jednego przecięcia wiązek (aktualnie wynosi on ok. 30). Pozwoli to na prowadzenie dokładniejszych pomiarów szczególnie dla procesów o małych przekrojach czynnych. Jednym ze sposobów aby poradzić sobie z taką liczbą jednoczesnych oddziaływań jest zwiększanie segmentacji detektorów i zwiększanie liczby indywidualnych kanałów odczytu. To z kolei wymusza na systemach akwizycji danych z detektorów dużo większe upakowanie kanałów w układach próbkujących, kształtujących impulsy wejściowe, cyfrujących, filtrujących itp. Duże upakowanie prowadzi do rozpraszania przez układy coraz większych mocy, co może prowadzić do niestabilnej pracy. Rosnąca liczba kanałów – idąca w miliony – wymaga rozbudowy systemu zapewniającego synchroniczną pracę we wszystkich kanałach – łącznie z zegarem akceleratora. Dodatkowo, należy także zadbać o odpowiednie

dostrojenie systemu tak, że próbkowanie sygnału w każdym z kanałów odbywa się w dobrze określonym i wybranym momencie czasu oraz, że dane zebrane w danym przecięciu wiązek są potem scalone w kompletny obraz oddziaływań.

Takiemu wyzwaniu odpowiadają prace prowadzone przez Doktoranta. Projektowanie, symulowanie, wdrażanie, wykonywanie pomiarów, a co najważniejsze optymalizowanie pod kątem rozpraszania mocy komponentów dedykowanego układu scalonego SALT planowanego do zbierania danych ze 128 kanałów dla UT. Te komponenty to bloki PLL oraz DLL, które są źródłem precyzyjnego i stabilnego sygnału zegara synchronizowanego z 40 MHz sygnałem zegara LHC. Wymagania postawione przed projektantem i spełnione w rozwiązaniu, to precyzyjny i stały sygnał zegarowy z minimalnym drzeniem w zakresie częstotliwości od 70 do 350 MHz i oczywiście przy minimalnym rozpraszaniu mocy. Dużo większym wyzwaniem dla Doktoranta staje się jednak zaprojektowanie podobnego bloku MULTI_PLL dla detektora światłości nowoprojektowanego akceleratora ILC, gdzie zakres częstotliwości dla których układ powinien utrzymywać założone parametry to ponad 3 GHz. Doktorant sam widzi wagę tego drugiego wyzwania, bo rozdział dotyczący szczegółów implementacyjnych rozpoczyna się od przedstawienia rozwiązania dla MULTI_PLL, a wersje dla SALT są przedstawiane jako uproszczenie rozwiązań wykorzystywanych dla MULTI_PLL.

Teza pracy nie jest jasno i jednoznacznie przedstawiona. Jeżeli w pewnym sensie uznać, że tytuł rozprawy nawiązuje do tezy, to sugeruje on że rozprawa będzie się koncentrować na układzie odczytu danych SALT dla unowocześnionego systemu akwizycji detektora UT, podczas gdy osią pracy i tezą przekazaną zatem w sposób pośredni jest zaprojektowanie i wdrożenie bloków PLL oraz DLL charakteryzujących się wymagającymi parametrami w tym głównie zminimalizowanym drzeniem zegara – rzędu pojedynczych ps i zminimalizowanym poborem mocy dla szerokiego zakresu częstotliwości. Dodatkowo, należy to wykonać w technologii odpornej na promieniowanie a współpraca LHCb wybrała CMOS 130 nm.

2. Czy w rozprawie przeprowadzono w sposób właściwy analizę źródeł (w tym literatury światowej, stanu wiedzy i zastosowań w przemyśle) świadczącej o dostatecznej wiedzy autora. Czy wnioski z przeglądu źródeł sformułowano w sposób jasny i przekonujący ?

Prowadzenie współczesnych eksperymentów fizyki cząstek wymaga stosowania unikalnych i bardzo wyrafinowanych technik i technologii aby sprostać wymaganiom, które trudno znaleźć w innych dziedzinach nauki czy przemysłu. Dotyczy to głównie rozwoju elektroniki i informatyki gdzie Autor lokuje swoją działalność. Bez dogłębnej analizy literatury zajmującej się publikacją współczesnych rozwiązań nie byłoby możliwe pomyślnie zaprojektowanie układu spełniającego tak wymagające założenia. Korzystając z opisanych i opublikowanych schematów rozwiązań Doktorant umiejętnie wybrał te, które dawały szansę na zrealizowanie zaplanowanego celu. I cel ten uzyskał. Udowodnił to nie tylko na stole pomiarowym demonstrując wyniki pomiarów ale także je opublikował, wspólnie z resztą zespołu, w recenzowanych i uznanych w środowisku czasopiśmie.

Cytowane w rozprawie źródła zostały poprawnie ułożone w logiczną kolejność. Listę otwierają publikacje współpracy LHCb donoszące o dokonaniu ważnych pomiarów, do których uzyskania niewątpliwie przyczynił się system zbierania danych z detektora TT. Zapewne kolejne pomiary zostaną wykonane z wykorzystaniem bloków zaprojektowanych przez Doktoranta dla zmodernizowanego detektora UT. Kolejne pozycje na liście to bibliografia poświęcona technikom projektowania i analizie działania układów tworzących bloki PLL oraz DLL. Pozostała część ze 104-ro pozycyjnej listy dotyczy artykułów w fachowych, naukowych czasopiśmie omawiających

konkretne rozwiązania i prezentujących uzyskane parametry. Plasują się tutaj 2 publikacje, których współautorem jest Doktorant.

3. Czy autor rozwiązał postawione zagadnienie, czy użył właściwej do tego metody i czy przyjęte założenia są uzasadnione ?

Zadaniem jakie postawiono przed Doktorantem było zaprojektowanie oraz wdrożenie bloków układu scalonego, dzięki którym można wewnętrznie uzyskać precyzyjny sygnał zegara synchronizowanego zewnętrznym sygnałem zegarowym. Precyzja (drżenie) określona została na pojedyncze ps natomiast zakres częstotliwości obejmował prawie 3 rzędy wielkości – od pojedynczych MHz do GHz. Dodatkowym wymaganiem było aby bloki te pobierały minimalną moc. Jest to szczególnie istotne dla stabilnej pracy 128-mio kanałowego układu SALT . Aby zmierzyć parametry wyprodukowanego prototypu układu Doktorant zbudował stanowisko badawcze, które umożliwiło zaprogramowanie układu, a następnie zebranie charakterystyk udowadniających, że przyjęte założenia i późniejsza realizacja spełniają założenia.

W dysertacji autor przedstawił projektowanie i symulacje układu MULTI_PLL planowanego do wykorzystania w układzie scalonym odczytu danych z kalorymetru w detektorze światłości na zderzaczach ILC. Ze względu na szeroki zakres częstotliwości pracy Dyplomant zastosował dwa oddzielne układy VCO (Voltage Controlled Oscillator) - jeden pracujący do 750 MHz, a drugi powyżej do aż do 3 GHz. Oprócz pozostałych standardowych części układu PLL jak PFD (Phase and Frequency Detector), CP (Charge Pump), które precyzyjnie steruje ładowaniem kondensatorów w filtrze generującym napięcie niezrównoważenia, na uwagę zwraca układ AFMS (Automatic Frequency Mode Setting), który po skonfigurowaniu automatycznie wybiera szybszy lub wolniejszy oscylator w zależności od napięcia niezrównoważenia. Autor omawia następnie projektowanie i symulacje bloków SALT_PLL oraz SALT_DLL jako uproszczenie układu MULTI_PLL. Bloki te mają współpracować w układzie SALT. Oscylator VCO, serce układu SALT_PLL, jest znacznie prostszy od tego w MULTI_PLL bo ma synchronizować się do częstotliwości LHC 40 MHz i generować stabilnie częstotliwość 350 MHz. Uzyskany rozrzut drżenia nie przekracza 4 ps. Blok SALT_DLL umożliwia manipulowanie fazą sygnału zegarowego umożliwiając wybór jednego z 64 niezależnych opóźnień. W tym przypadku drżenie wyjściowego sygnału także nie przekracza kilku ps, a współczynnik wypełnienia wyjściowego sygnału jest bliski 50%.

Konkludując, autor poprawnie rozwiązał postawione zagadnienie wykorzystując właściwą metodykę projektowania i symulowania co w efekcie końcowym pozwoliło uzyskać doskonałe parametry układu SALT plasując go jako prawdopodobnie pierwszy na świecie wielokanałowy układ scalony zawierający kompletny tor odczytowy o tak niskim poborze mocy.

4. Na czym polega oryginalność rozprawy, co stanowi samodzielny i oryginalny dorobek autora, jaka jest pozycja rozprawy w stosunku do stanu wiedzy czy poziomu techniki reprezentowanych przez literaturę światową ?

Projektowanie dedykowanych układów scalonych jest zawsze związane z indywidualną pracą projektanta decydującego o kształcie projektowanych tranzystorów i związanym z tym wpływem na jakość uzyskanych parametrów. Uzyskanie parametrów spełniających założenia, a dodatkowo porównywalnych do najlepszych rozwiązań publikowanych w czasopiśmie fachowych świadczy o wysokiej klasie projektanta - programisty.

Blok MULTI_PLL oraz jego zmodyfikowane i uproszczone wersje SALT_PLL oraz SALT_DLL dla układu SALT są kluczowymi dla poprawnej i synchronicznej pracy układów dokonujących próbkowania sygnałów wejściowych i ich dalszego przetwarzania w wielokanałowych systemach akwizycji danych. Pierwszy z nich jest planowany do wykorzystania w systemie odczytu danych z kalorymetru w eksperymencie na zderzaczu ILC, a drugi do systemu akwizycji danych dla systemu akwizycji danych unowocześnionego eksperymentu LHCb na LHC. Z racji tego, że oba systemy będą dopiero uruchomione i oba zdecydowały się na nowe układy scalone, to świadczy to o braku na rynku dobrych odpowiedników i konieczności nowych opracowań. W podsumowaniu Dyplomant porównuje w formie tabelki wyniki pomiarów parametrów uzyskanych w opracowanych przez niego blokach SALT_PLL oraz SALT_DLL z parametrami podobnych układów. W przypadku PLL układ Dyplomanta jest zdecydowanie najlepszy jeśli chodzi o rozpraszającą moc przy 160 MHz natomiast drżenie sygnału zegara pasuje go w zdecydowanej czołówce. Układ DLL odznacza się na tle innych niskim rozpraszaniem mocy, a ponadto oferuje największą liczbę przesunięć fazowych (64).

Będąc członkiem współpracy LHCb Dyplomant jest współautorem ok. 100 prac naukowych z liczbą cytowań 251 i indeksem Hirsha 8.

5. Czy autor wykazał umiejętność poprawnego i przekonującego przedstawienia uzyskanych przez siebie wyników (zwięzłość, jasność, poprawność redakcyjna rozprawy) ?

Dysertacja rozpoczyna się krótkim wstępem z zasygnalizowaniem, że dedykowane układy scalone ASIC, będące tematem rozprawy, zostaną zastosowane w zmodernizowanej wersji systemu po roku 2019. Rozdział pierwszy skrótowo omawia fizyczne cele i konstrukcję detektora LHCb, dla którego projektowane są nowe układy. W rozdziale drugim Doktorant omawia architektury i zasady działania komponentów (PFD, CP+LPF, VCO) składających się na układy generowania synchronizowanych przebiegów zegarowych PLL oraz układów opóźniania fazy zegara DLL. Jasno przedstawione wywody ilustrowane są schematami z opisem działania i obliczeniami transmitancji dla zrozumienia kształtu spodziewanej charakterystyki przejściowej. W kolejnym rozdziale przedstawiona została budowa i opis działania układów zaprojektowanych przez Doktoranta. Prezentacja rozpoczyna się od opisu bloku MULTI_PLL, który ma pracować dla częstotliwości powyżej 3 GHz w systemie odczytu danych z kalorymetru detektora światłości na akceleratorze ILC. Wersje PLL oraz DLL dla układu odczytu SALT dla eksperymentu LHCb to jedynie uproszczenia jakie Dyplomant wprowadził do projektu MULTI_PLL. Bogate ilustracje graficzne pokazują stabilność wartości uzyskanych parametrów w zależności od różnych czynników zarówno pochodzących od rozwiązań architektonicznych jak i zewnętrznych. Ostatni rozdział to opis budowy stanowiska testowego zaprojektowanego i zbudowanego przez Autora, metodologia testów jakości sygnałów zegarowych (drżenie) i wyniki pomiarów wykonane na układach, w których bloki MULTI_PLL oraz SALT_PLL i SALT_DLL zostały wykorzystane. Inne ograniczenia układów wykorzystujących bloki Doktoranta uniemożliwiły pomiar wartości parametrów w pełnym zakresie i dlatego na wykresach widzimy zakres częstotliwości do 1.3 GHz, podczas gdy blok jest zaprojektowany na ponad 3 GHz. Imponująco wyglądają dodatki prezentujące pomiary zależności kluczowych parametrów (liniowości wzmocnienia, drżenia, pobieranej mocy, stabilności opóźnienia) od wewnętrznych ustawień dla wymaganych zakresów generowanych częstotliwości. Pomiary te, ilustrujące spełnianie założonych wymagań, zostały wykonane i opracowane dla trzech prototypów, a każdy z nich w kilku wersjach.

Do poprawności redakcyjnej rozprawy nie mam zastrzeżeń. Od strony edytorskiej praca jest przygotowana bardzo starannie.

6. Jakie są słabe strony rozprawy i jej główne wady ?

Do słabej strony rozprawy zaliczam brak badań stabilności krytycznych parametrów projektowanych układów w zależności od zmian temperatury. Projektowane układy mogą znaleźć zastosowanie w różnych detektorach, jeśli ograniczymy się tylko do wykorzystania w środowisku HEP, a te z kolei, ze względu na minimalizowanie zniszczeń radiacyjnych mogą pracować w ujemnych temperaturach a inne, umieszczone dalej od punktu interakcji w temperaturze pokojowej czy znacznie wyższej. Jak zmieniają się wartości drżenia czy stabilności opóźnienia gdy układ będzie pracował w cieple lub zimnie?

Rozprawa napisana w języku angielskim. Nie mam uprawnień do oceny językowej natomiast dzięki stosowaniu przez Autora prostych zdań czyta się ją bardzo dobrze. Zauważyłem nieliczne drobne błędy: brak końcówki „s” w 3 os. l.p. Present Simple (np. str 18: fly – flies) czy proste literówki (np. str 55 therby – thereby).

7. Jaka jest przydatność rozprawy dla nauk technicznych ?

Sygnały zegarowe są podstawą elektroniki sekwencyjnej która jest powszechnie stosowana w elektronice cyfrowej. Szczególnie przydatne jest manipulowanie fazą zegara umożliwiające precyzyjne i optymalne dopasowanie momentu narastającego zbocza do zrealizowania funkcji układu elektronicznego (np. moment próbkowania przebiegu analogowego przez konwerter ADC). Te problemy adresują projekty prowadzone przez Doktoranta. Znane techniki budowy takich układów potrafił on wykorzystać do budowy modułów, które stając się komponentami dedykowanych układów scalonych, pozwalają pracować w wysokich częstotliwościach rozpraszając minimalną moc. Coraz powszechniej stosowane układy transmisji szeregowej pracujące w częstotliwościach powyżej GHz są bardzo ważnym użytkownikiem precyzyjnego sygnału zegarowego generowanego przez układy PLL, a w architekturach systemów geograficznie rozproszonych są one nieodzownym elementem zapewniającym synchroniczną współpracę komponentów. W takich architekturach precyzyjne przesuwanie sygnału zegarowego przez układ DLL jest konieczne do precyzyjnego dostrojenia.

8. Do której z następujących kategorii Recenzent zalicza rozprawę:

- a. nie spełniająca wymagań stawianych rozprawom doktorskim przez obowiązujące przepisy
- b. wymagająca wprowadzenia poprawek i ponownego recenzowania
- c. **spełniająca wymagania**
- d. spełniająca wymagania z nadmiarem
- e. wybitnie dobra, zasługująca na wyróżnienie

W podsumowaniu stwierdzam, że praca doktorska mgr inż. Mirosława Firleja spełnia wymagania stawiane w przewodzie doktorskim i wnioskuje o dopuszczenie pana mgr inż. Mirosława Firleja do publicznej obrony.



Krzysztof Korcyl

